

**Requested document:** [DE19932635 click here to view the pdf document](#)

## **Equidistant, synchronous clock generation method for PROFIBUS-DP subscriber**

Patent Number: DE19932635  
Publication date: 2000-08-17  
Inventor(s): FINSTERBUSCH ROLF (DE); SEJA MARCO (DE); HELLMICH STEFFEN (DE)  
Applicant(s): SIEMENS AG (DE)  
Requested Patent: ☐ [DE19932635](#)  
Application Number: DE19991032635 19990713  
Priority Number(s): DE19991032635 19990713; DE19991006297 19990215  
IPC Classification: H04L7/033; G06F1/04  
EC Classification: [H04L7/033C](#), [H03L7/08](#)  
Equivalents:

### **Abstract**

The method involves generating a clock using a digital PLL and synchronising the generated clock onto the mean value of the DP clock. Preferably, the forming of the mean value is carried out with a PI controller. Jitter is reduced when adjusting the controller parameter. A time window is provided, so that delayed DP clocks are not taken into consideration when forming the mean value. When the DP clocks are delayed or fail, the output clock of the PLL is generated with unchanged frequency.

Data supplied from the esp@cenet database - I2

**This Page Blank (uspto)**

1 2 3 4 5 6 7 8 9 10 11 12 13 14 15 16 17 18 19 20 21 22 23 24 25 26 27 28 29 30 31 32 33 34 35 36 37 38 39 40 41 42 43 44 45 46 47 48 49 50 51 52 53 54 55 56 57 58 59 60 61 62 63 64 65 66 67 68 69 70 71 72 73 74 75 76 77 78 79 80 81 82 83 84 85 86 87 88 89 90 91 92 93 94 95 96 97 98 99 100 101 102 103 104 105 106 107 108 109 110 111 112 113 114 115 116 117 118 119 120 121 122 123 124 125 126 127 128 129 130 131 132 133 134 135 136 137 138 139 140 141 142 143 144 145 146 147 148 149 150 151 152 153 154 155 156 157 158 159 160 161 162 163 164 165 166 167 168 169 170 171 172 173 174 175 176 177 178 179 180 181 182 183 184 185 186 187 188 189 190 191 192 193 194 195 196 197 198 199 200 201 202 203 204 205 206 207 208 209 210 211 212 213 214 215 216 217 218 219 220 221 222 223 224 225 226 227 228 229 230 231 232 233 234 235 236 237 238 239 240 241 242 243 244 245 246 247 248 249 250 251 252 253 254 255 256 257 258 259 260 261 262 263 264 265 266 267 268 269 270 271 272 273 274 275 276 277 278 279 280 281 282 283 284 285 286 287 288 289 290 291 292 293 294 295 296 297 298 299 300 301 302 303 304 305 306 307 308 309 310 311 312 313 314 315 316 317 318 319 320 321 322 323 324 325 326 327 328 329 330 331 332 333 334 335 336 337 338 339 340 341 342 343 344 345 346 347 348 349 350 351 352 353 354 355 356 357 358 359 360 361 362 363 364 365 366 367 368 369 370 371 372 373 374 375 376 377 378 379 380 381 382 383 384 385 386 387 388 389 390 391 392 393 394 395 396 397 398 399 400 401 402 403 404 405 406 407 408 409 410 411 412 413 414 415 416 417 418 419 420 421 422 423 424 425 426 427 428 429 430 431 432 433 434 435 436 437 438 439 440 441 442 443 444 445 446 447 448 449 450 451 452 453 454 455 456 457 458 459 460 461 462 463 464 465 466 467 468 469 470 471 472 473 474 475 476 477 478 479 480 481 482 483 484 485 486 487 488 489 490 491 492 493 494 495 496 497 498 499 500 501 502 503 504 505 506 507 508 509 510 511 512 513 514 515 516 517 518 519 520 521 522 523 524 525 526 527 528 529 530 531 532 533 534 535 536 537 538 539 540 541 542 543 544 545 546 547 548 549 550 551 552 553 554 555 556 557 558 559 560 561 562 563 564 565 566 567 568 569 570 571 572 573 574 575 576 577 578 579 580 581 582 583 584 585 586 587 588 589 590 591 592 593 594 595 596 597 598 599 600 601 602 603 604 605 606 607 608 609 610 611 612 613 614 615 616 617 618 619 620 621 622 623 624 625 626 627 628 629 630 631 632 633 634 635 636 637 638 639 640 641 642 643 644 645 646 647 648 649 650 651 652 653 654 655 656 657 658 659 660 661 662 663 664 665 666 667 668 669 670 671 672 673 674 675 676 677 678 679 680 681 682 683 684 685 686 687 688 689 690 691 692 693 694 695 696 697 698 699 700 701 702 703 704 705 706 707 708 709 710 711 712 713 714 715 716 717 718 719 720 721 722 723 724 725 726 727 728 729 730 731 732 733 734 735 736 737 738 739 740 741 742 743 744 745 746 747 748 749 750 751 752 753 754 755 756 757 758 759 760 761 762 763 764 765 766 767 768 769 770 771 772 773 774 775 776 777 778 779 780 781 782 783 784 785 786 787 788 789 790 791 792 793 794 795 796 797 798 799 800 801 802 803 804 805 806 807 808 809 810 811 812 813 814 815 816 817 818 819 820 821 822 823 824 825 826 827 828 829 830 831 832 833 834 835 836 837 838 839 840 841 842 843 844 845 846 847 848 849 850 851 852 853 854 855 856 857 858 859 860 861 862 863 864 865 866 867 868 869 870 871 872 873 874 875 876 877 878 879 880 881 882 883 884 885 886 887 888 889 890 891 892 893 894 895 896 897 898 899 900 901 902 903 904 905 906 907 908 909 910 911 912 913 914 915 916 917 918 919 920 921 922 923 924 925 926 927 928 929 930 931 932 933 934 935 936 937 938 939 940 941 942 943 944 945 946 947 948 949 950 951 952 953 954 955 956 957 958 959 960 961 962 963 964 965 966 967 968 969 970 971 972 973 974 975 976 977 978 979 980 981 982 983 984 985 986 987 988 989 990 991 992 993 994 995 996 997 998 999 1000 1001 1002 1003 1004 1005 1006 1007 1008 1009 1010 1011 1012 1013 1014 1015 1016 1017 1018 1019 1020 1021 1022 1023 1024 1025 1026 1027 1028 1029 1030 1031 1032 1033 1034 1035 1036 1037 1038 1039 1040 1

19 BUNDESREPUBLIK  
DEUTSCHLAND



12 Offenlegungsschrift  
 10 DE 199 32 635 A 1

⑤ Int. Cl.<sup>7</sup>:  
H 04 L 7/033  
G 06 F 1/04

**21** Aktenzeichen: 199 32 635.5  
**22** Anmeldetag: 13. 7. 1999  
**43** Offenlegungstag: 17. 8. 2000

DE 199 32 635 A 1

**(66) Innere Priorität:**  
199 06 297. 8                      15. 02. 1999

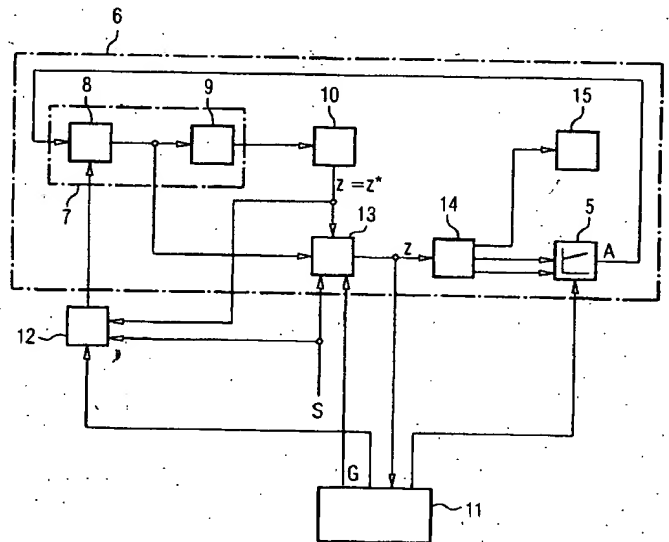
**(71) Anmelder:**  
Siemens AG, 80333 München, DE

**72 Erfinder:**  
Finsterbusch, Rolf, Dipl.-Ing., 09114 Chemnitz, DE;  
Hellmich, Steffen, Dipl.-Ing., 09116 Chemnitz, DE;  
Seja, Marco, 09648  
Schönborn-Dreiwerden-Seifersbach, DE

**Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen**

**(54) Synchronisierverfahren für eine Empfangseinheit und hiermit korrespondierende Empfangseinheit**

(57) Eine Empfangseinheit (2) wird mit einer Sendeeinheit (1) dadurch genauer synchronisiert, daß anhand von von der Sendeeinheit (1) ausgesandten Synchronisationssignalen (S) ein Taktgeber (7) einer phasenverriegelten Schleife (6) nachgeregelt wird, wobei ein Phasenregler (5) momentanen Phasenfehler (z) zu einem Integrationswert (I) aufintegriert und der Integrationswert (I) nur zu einem Integrationsbruchteil (ki) ausgeregelt wird, der kleiner als eins ist.



DE 199 32 635 A 1

Die vorliegende Erfindung betrifft ein Synchronisierverfahren für eine Empfangseinheit,

- wobei der Empfangseinheit von einer Sendeeinheit zyklisch ausgesandte Synchronisationssignale übermitteln werden,
- wobei die Empfangseinheit die Synchronisationssignale einem Phasenregler einer phasenverriegelten Schleife mit einem Taktgeber zuführt,
- wobei der Taktgeber zwischen zwei Synchronisationssignalen eine Anzahl von Taktsignalen ausgibt,
- wobei der Phasenregler beim Empfang der Synchronisationssignale momentane Phasenfehler ermittelt und den Taktgeber derart nachregelt, daß der Taktgeber zwischen zwei Synchronisationssignalen eine Sollanzahl von Taktsignalen ausgibt,

sowie eine hiermit korrespondierende Empfangseinheit.

Derartige Synchronisierverfahren und die korrespondierenden Empfangseinheiten sind allgemein bekannt. Sie werden unter anderem in Feldbussystemen, z. B. dem PROFIBUS, eingesetzt.

Feldbussysteme sind verteilte Steuerungssysteme, die in der Regel eine Sendeeinheit (Kopfbaugruppe, Busmaster) und eine Vielzahl von Empfangseinheiten (Slaves) aufweisen. Die Ansteuerung der einzelnen Slavebaugruppen geschieht in der Regel dadurch, daß die Sendeeinheit den Empfangseinheiten ein Befehlstelegramm übermittelt. Bei Empfang des Befehlstelegramms geben die Empfangseinheiten Sollwerte an eine gesteuerte technische Anlage aus, die ihnen zuvor von der Sendeeinheit übermittelt worden sind. Gleichzeitig lesen sie Istwerte von der gesteuerten technischen Anlage ein, welche sie nachfolgend an die Sendeeinheit übermitteln. Die Sendeeinheit errechnet dann neue Sollwerte, die sie den einzelnen Empfangseinheiten übermittelt, so daß diese für das nächste Befehlstelegramm bereit sind.

Die Befehlstelegramme werden von der Sendeeinheit zeitlich äquidistant gesendet. Aus den Befehlstelegrammen sind daher Synchronisationssignale ableitbar, mittels derer die Empfangseinheiten mit der Sendeeinheit synchronisierbar sind.

In der Praxis verbleibt zwischen dem Übermitteln der eingelesenen Istwerte an die Sendeeinheit und dem Übermitteln der Sollwerte an die Empfangseinheiten einerseits und den Übermitteln des nächsten Befehlstelegramms andererseits ein zeitlicher Spielraum. Dieser wird in der Regel für sogenannte azyklische Telegramme genutzt. Hierbei kann es geschehen, daß aufgrund von Verzögerungen durch die azyklischen Telegramme einzelne Befehlstelegramme verspätet gesendet werden. Der Empfang derart verspätet gesendeter Befehlstelegramme bewirkt eine fehlerhafte Nachsynchronisation der Empfangseinheiten. Bei vielen Anwendungen ist diese fehlerhafte Nachsynchronisation unkritisch. Bei zeitkritischen Anwendungen hingegen, insbesondere bei der Kopplung interpolierender Antriebsachsen, sind derartige fehlerhafte Nachsynchronisation nicht tolerierbar.

Die Aufgabe der vorliegenden Erfindung besteht darin, ein Synchronisierverfahren für eine Empfangseinheit zu schaffen, mittels derer die Empfangseinheit mit hinreichender Genauigkeit mit der Sendeeinheit synchronisierbar ist.

Die Aufgabe wird dadurch gelöst, daß der Phasenregler die momentanen Phasenfehler zu einem Integrationswert aufintegriert und daß der Integrationswert zu einem Integrationsbruchteil ausgeregt wird, wobei der Integrationsbruchteil kleiner als eins ist.

Wenn der Phasenregler die momentanen Phasenfehler zu einem Proportionalbruchteil ausregelt, wobei der Proportionalbruchteil kleiner als eins ist, ergibt sich eine schnellere Ausregelung des Phasenfehlers. Dies gilt insbesondere dann, wenn der Proportionalbruchteil größer als der Integrationsbruchteil ist.

Wenn der Phasenregler den Taktgeber nur dann nachregelt, wenn der Absolutwert des momentanen Phasenfehlers einen Maximalfehler nicht übersteigt; bewirken Verzögerungen der Synchronisationssignale durch azyklische Telegramme keine fehlerhafte Nachregelung des Taktgebers.

Wenn bei Übersteigen des Maximalfehlers ein Zähler hochgezählt wird, ist insbesondere ein dauerhafter Fehler der Kommunikation zwischen Sendeeinheit und Empfangseinheit erkennbar.

Wenn der phasenverriegelten Schleife von einer Steuereinheit ein Gültigkeitssignal übermittelt wird und das Synchronisierverfahren nur bei Vorliegen des Gültigkeitssignals ausgeführt wird, ist sicherstellbar, daß die Synchronisation auf die richtigen Synchronisationssignale erfolgt.

Wenn innerhalb des Taktgebers ein Taktgenerator Primärtaktsignale erzeugt, die einem Frequenzteiler zugeführt werden, der ausgangseitig die heruntergeteilten Primärtaktsignale als Taktsignale ausgibt, ist gewährleistet, daß alle zwischen dem Taktgenerator und dem Frequenzteiler angeordneten Komponenten ebenfalls phasenrichtig synchronisiert sind.

Wenn vor der Ermittlung des ersten momentanen Phasenfehlers der Taktgeber die Sollanzahl von Taktsignalen ausgibt, dann angehalten wird und beim Empfang des nächsten Synchronisationssignals wieder gestartet wird, ergibt sich eine besonders schnelle Synchronisation der Empfangseinheit beim Anlauf.

Wenn beim Empfang des ersten Synchronisationssignals nach dem Wiederstarten des Taktgebers der momentane Phasenfehler zumindest im wesentlichen ausgeregt wird und das Aufintegrieren der momentanen Phasenfehler und das Ausregeln des Integrationswerts, ggf. auch das Ausregeln des momentanen Phasenfehlers, erst ab dem Empfang des zweiten Synchronisationssignals ausgeführt wird, wird die Synchronisierung zu Beginn des Verfahrens noch weiter beschleunigt.

Weitere Vorteile und Einzelheiten ergeben sich aus der nachfolgenden Beschreibung eines Ausführungsbeispiels. Dabei zeigen in Prinzipdarstellung:

Fig. 1 ein verteiltes Steuerungssystem,

Fig. 2 eine Empfangseinheit und

Fig. 3 eine phasenverriegelte Schleife.

Gemäß Fig. 1 weist ein verteiltes Steuerungssystem eine Sendeeinheit 1 und Empfangseinheiten 2 auf, die über ein Bussystem 3 miteinander verbunden sind. Die Sendeeinheit 1 sendet zyklisch Telegramme an die Empfangseinheiten 2, welche entsprechend auf die empfangenen Telegramme reagieren. Beispielsweise lesen die Empfangseinheiten 2 von einer gesteuerten technischen Anlage 4 Eingangsgrößen ein und geben Ausgangsgrößen an die technische Anlage 4 aus. Dies ist in Fig. 1 durch die Pfeile zwischen den Empfangseinheiten 2 und der technischen Anlage 4 angedeutet.

Die Kommunikation zwischen der Sendeeinheit 1 und den Empfangseinheiten 2 erfolgt in der Regel nach folgendem, zyklisch abgearbeiteten Schema: Zunächst übermittelt die Sendeeinheit 1 den Empfangseinheiten 2 Ausgangsgrößen, die an die technische Anlage 4 ausgegeben werden sollen. Dann übermittelt sie ein Befehlstelegramm an die Empfangseinheiten 2. Bei Übermittlung des Befehlstelegramms geben die Empfangseinheiten 2 die Ausgangsgrößen an die technische Anlage 4 aus und lesen Eingangsgrößen von der technischen Anlage 4 ein. Sodann werden die eingelesenen

Eingangsgroßen von der Sendeeinheit 1 abgefragt.

Im Idealfall wird das obenstehende Schema streng zyklisch und zeitlich streng äquidistant abgearbeitet. Insbesondere die Befehlstelegramme können daher als Synchronisationssignale S verwendet werden bzw. aus den Befehlstelegrammen Synchronisationssignale S abgeleitet werden. Mittels der Synchronisationssignale S können sich dann die Empfangseinheiten 2 mit der Sendeeinheit 1 synchronisieren.

Die von den Empfangseinheiten 2 empfangenen Synchronisationssignale werden gemäß Fig. 2 und 3 über einen Busanschlußbaustein 2' einem Phasenregler 5 einer phasenverriegelten Schleife 6 zugeführt. Die phasenverriegelte Schleife 6 weist einen Taktgeber 7 auf. Innerhalb des Taktgebers 7 erzeugt ein Taktgenerator 8 Primärtaktsignale, die einem Frequenzteiler 9 zugeführt werden. Ausgangsseitig gibt der Frequenzteiler 9 die heruntergeteilten Primärtaktsignale als Taktsignale aus. Die Taktsignale werden einem Taktsignalzähler 10 zugeführt.

Bei idealer Regelung des Taktgenerators 8 gibt der Taktgeber 7 zwischen zwei Synchronisationssignalen S exakt eine Sollanzahl  $Z^*$  von Taktsignalen aus. In der Regel gibt der Taktgeber 7 aber eine Anzahl Z von Taktsignalen aus, welche von der Sollanzahl  $Z^*$  abweicht. Der Phasenregler 5 ermittelt daher beim Empfang der Synchronisationssignale momentane Phasenfehler z und regelt dann den Taktgeber 7 derart nach, daß er zwischen zwei Synchronisationssignalen S die Sollanzahl  $Z^*$  von Taktsignalen ausgibt. Dies geschieht wie folgt:

Vor Beginn der Synchronisation, also vor der Ermittlung des ersten momentanen Phasenfehlers z, wird zunächst von einer Steuereinheit 11 einer Ansteuereinheit 12 ein Startsignal vorgegeben. Diese steuert daraufhin den Taktgenerator 8 des Taktgebers 7 an. Wenn der Taktsignalzähler 10 die Sollanzahl  $Z^*$  von Taktsignalen gezählt hat, übermittelt der Taktsignalzähler 10 ein Signal an die Ansteuereinheit 12. Diese hält daraufhin den Taktgenerator 8 wieder an. Die phasenverriegelte Schleife 6 ist dadurch sozusagen "vorgespannt". Beim Empfang des nächsten Synchronisationssignals, das ebenfalls an die Ansteuereinheit 12 übermittelt wird, startet diese dann den Taktgenerator 8 wieder. Dadurch wird der Taktsignalzähler 10 neu hochgezählt.

Das Erreichen der Sollanzahl  $Z^*$  sowie das Eintreffen des nächsten Synchronisationssignals S wird an einen Primärtaktzähler 13 gemeldet. Beim Eintreffen des ersten dieser beiden Signale wird der Primärtaktzähler 13 gestartet, beim Eintreffen des zweiten der beiden Signale gestoppt. Der (vorzeichenbehaftete) Zählerstand des Primärtaktzählers 13 ist somit ein direktes Maß für den Fehler zwischen der Taktung des Taktgebers 7 und der Periodizität der Synchronisationssignale S.

Beim Empfang des ersten Synchronisationssignals S nach dem Wiederstarten des Taktgebers 7 wird der Zählerstand des Primärtaktzählers 13 an die Steuereinheit 11 übermittelt. Diese errechnet daraus einen Korrekturwert für die Ansteuerung des Taktgenerators 8 und gibt diesen Korrekturwert direkt dem Phasenregler 5 vor. Dadurch wird der beim ersten Synchronisationszyklus detektierte momentane Phasenfehler z zumindest im wesentlichen ausgeglichen.

In den weiteren Synchronisationszyklen wird der Primärtaktzähler 13 stets in Abhängigkeit vom Synchronisationssignal S und dem Erreichen der Sollanzahl  $Z^*$  gesteuert. Beim Eintreffen des ersten dieser beiden Signale wird der Primärtaktzähler 13 gestartet und beim Eintreffen des zweiten dieser beiden Signale gestoppt. Der Zählerstand des Primärtaktzählers 13 wird einem Vergleichler 14 zugeführt. Der Zählerstand des Primärtaktzählers 13 wird betragsmäßig mit einem Maximalfehler verglichen. Wenn der Zählerstand den

Maximalfehler übersteigt, wird ein Auszeitzähler 15 hochgezählt. In diesem Fall wird an den Phasenregler 5 kein Fehlersignal ausgegeben. Der Phasenregler 5 behält sein bisheriges Ausgangssignal bei.

5 Anderenfalls wird das Ausgangssignal A des Phasenreglers 5 nach folgenden Formeln berechnet:

$$I(i) = I(i-1) + k_i \cdot z(i)$$

$$A(i) = k_p \cdot z(i) + I(i)$$

10  $z(i)$  ist dabei der momentane Phasenfehler,  $k_p$  der Proportionalbruchteil, zu dem der momentane Phasenfehler  $z(i)$  ausgeregelt wird,  $I(i)$  der Integrationswert, zu dem die momentanen Phasenfehler  $z(k)$ ,  $k = 0, 1, 2, 3, \dots, i$  aufintegriert wurden und  $k_i$  der Integrationsbruchteil, zu dem der Integrationswert I ausgeregelt wird.

In der Praxis haben sich folgende Werte als günstig erwiesen:

Der Integrationsbruchteil  $k_i$  sollte typisch zwischen 0,01 und 0,04 liegen, also kleiner als 1 sein. Auch der Proportionalbruchteil  $k_p$  sollte kleiner als 1 sein, aber größer als der Integrationsbruchteil  $k_i$ . Typisch liegt der Proportionalbruchteil  $k_p$  zwischen 0,04 und 0,10.

In der Regel wird der Primärtaktzähler 13 bei jeder Übermittlung eines Synchronisationssignals S gestartet bzw. gestoppt. Es ist aber auch möglich, der phasenverriegelten Schleife 6 zusätzlich von der Steuereinheit 11 ein Gültigkeitssignal G zu übermitteln. In diesem Fall wird der Primärtaktzähler 13 nur dann gestartet und gestoppt, wenn das Gültigkeitssignal G anliegt. Es ist ferner möglich, den Primärtaktzähler 13 um einen Phasenversatz bezüglich des Synchronisationssignals S versetzt zu starten und auszuwerten.

Mit dem erfindungsgemäßen Verfahren lassen sich insbesondere auch verteilt gesteuerte interpolierende Achsen mit hinreichender Genauigkeit ansteuern.

#### Patentansprüche

##### 1. Synchronisierverfahren für eine Empfangseinheit (2),

- wobei der Empfangseinheit (2) von einer Sendeeinheit (1) zyklisch ausgesandte Synchronisationssignale (S) übermittelt werden,
- wobei die Empfangseinheit (2) die Synchronisationssignale (S) einem Phasenregler (5) einer phasenverriegelten Schleife (6) mit einem Taktgeber (7) zuführt,
- wobei der Taktgeber (7) zwischen zwei Synchronisationssignalen (S) eine Anzahl (Z) von Taktsignalen ausgibt,
- wobei der Phasenregler (5) beim Empfang der Synchronisationssignale (S) momentane Phasenfehler (z) ermittelt und den Taktgeber (7) derart nachregelt, daß der Taktgeber (7) zwischen zwei Synchronisationssignalen (S) eine Sollanzahl ( $Z^*$ ) von Taktsignalen ausgibt, **dadurch gekennzeichnet**, daß der Phasenregler (5) die momentanen Phasenfehler (z) zu einem Integrationswert (I) aufintegriert und daß der Integrationswert (I) zu einem Integrationsbruchteil ( $k_i$ ) ausgeregelt wird, wobei der Integrationsbruchteil ( $k_i$ ) kleiner als eins ist.

##### 2. Synchronisierverfahren nach Anspruch 1, dadurch gekennzeichnet, daß der Phasenregler (5) die momentanen Phasenfehler (z) zu einem Proportionalbruchteil ( $k_p$ ) ausregelt, wobei der Proportionalbruchteil ( $k_p$ ) kleiner als eins ist.

3. Synchronisierverfahren nach Anspruch 2, dadurch gekennzeichnet, daß der Proportionalbruchteil ( $k_p$ ) größer als der Integrationsbruchteil ( $k_i$ ) ist.
4. Synchronisierverfahren nach Anspruch 1, 2 oder 3, dadurch gekennzeichnet, daß der Phasenregler (5) den Taktgeber (7) nur dann nachregelt, wenn der Absolutwert des momentanen Phasenfehlers ( $z$ ) einen Maximalfehler nicht übersteigt.
5. Synchronisierverfahren nach Anspruch 4, dadurch gekennzeichnet, daß bei Übersteigen des Maximalfehlers ein Zähler (15) hochgezählt wird.
6. Synchronisierverfahren nach einem der obigen Ansprüche, dadurch gekennzeichnet, daß der phasenverriegelten Schleife (6) von einer Steuereinheit (11) ein Gültigkeitssignal (G) übermittelt wird und daß das Synchronisierverfahren nur bei Vorliegen des Gültigkeitssignals (G) ausgeführt wird.
7. Synchronisierverfahren nach einem der obigen Ansprüche, dadurch gekennzeichnet, daß innerhalb des Taktgebers (7) ein Taktgenerator (8) Primärtaktsignale erzeugt, die einem Frequenzteiler (9) zugeführt werden, der ausgangsseitig die heruntergeteilten Primärtaktsignale als Taktsignale ausgibt.
8. Synchronisierverfahren nach einem der obigen Ansprüche, dadurch gekennzeichnet, daß vor der Ermittlung des ersten momentanen Phasenfehlers ( $z$ ) der Taktgeber (7) die Sollanzahl ( $Z^*$ ) von Taktsignalen ausgibt, dann angehalten wird und beim Empfang des nächsten Synchronisationssignals (S) wieder gestartet wird.
9. Synchronisierverfahren nach Anspruch 8, dadurch gekennzeichnet, daß beim Wiederstarten des Taktgebers (7) der Taktgeber (7) erst nach einem Phasenversatz gestartet wird und daß die Anzahl (Z) der vom Taktgeber (7) bis zum nächsten empfangenen Synchronisationssignal (S) zuzüglich dem Phasenversatz ausgegebene Taktsignale ermittelt wird.
10. Synchronisierverfahren nach Anspruch 8 oder 9, dadurch gekennzeichnet, daß beim Empfang des ersten Synchronisationssignals (S) nach dem Wiederstarten des Taktgebers (7) der momentane Phasenfehler ( $z$ ) zumindest im wesentlichen ausgeregelt wird und das Aufintegrieren der momentanen Phasenfehler ( $z$ ) und das Ausregeln des Integrationswerts (I), ggf. auch das Ausregeln des momentanen Phasenfehlers ( $z$ ), erst ab dem Empfang des zweiten Synchronisationssignals (S) ausgeführt wird.
11. Empfangseinheit zur Durchführung eines Synchronisierverfahrens nach einem der obigen Ansprüche.

---

Hierzu 2 Seite(n) Zeichnungen

---

55

60

65

FIG 1

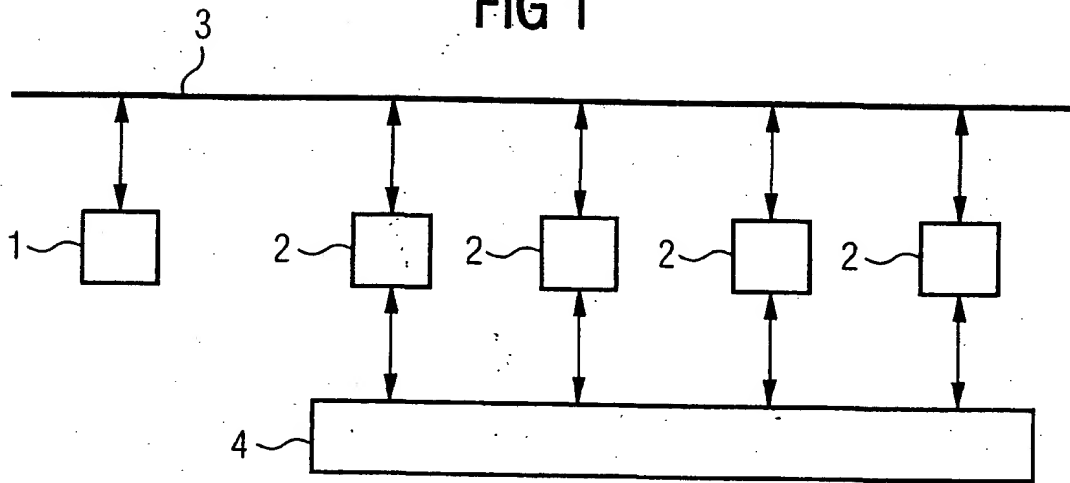


FIG 2

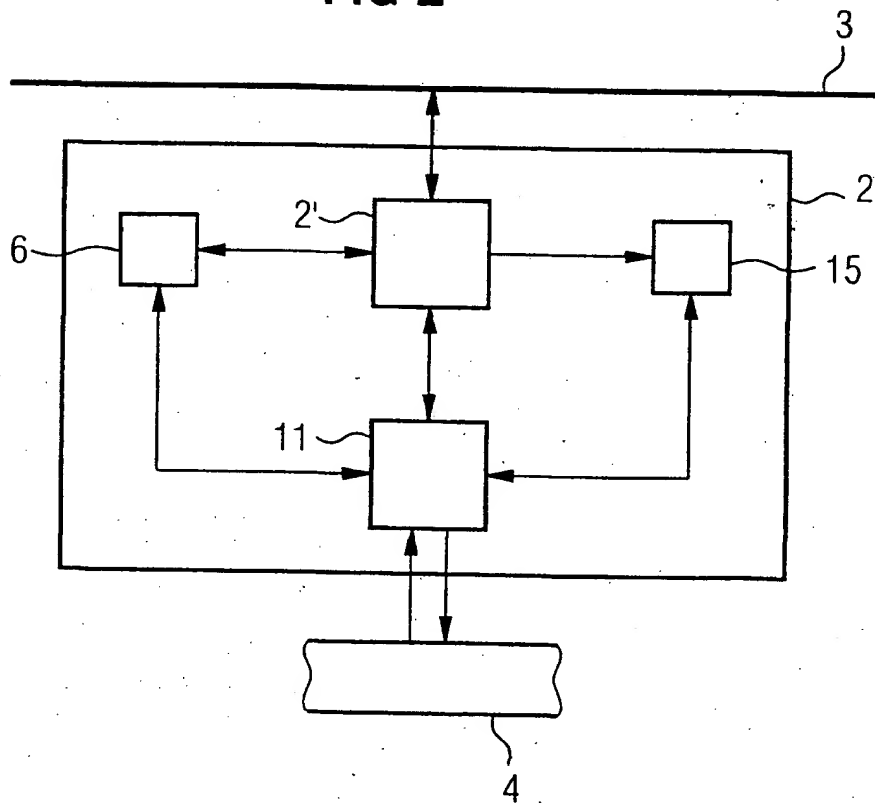


FIG 3

